

(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) Übersetzung der
europäischen Patentschrift

(87) EP 0 324 952 B1

(10) **DE 38 55 629 T 2**

(51) Int. Cl. 8:
G 06 F 9/38

(D2)

(21) Deutsches Aktenzeichen:	38 55 629.4
(86) Europäisches Aktenzeichen:	88 121 008.6
(86) Europäischer Anmeldetag:	15. 12. 88
(87) Erstveröffentlichung durch das EPA:	26. 7. 89
(87) Veröffentlichungstag der Patenterteilung beim EPA:	23. 10. 96
(47) Veröffentlichungstag im Patentblatt:	27. 3. 97

DE 38 55 629 T 2

(30) Unionspriorität: (32) (33) (31)

18.01.88 JP 7035/88

(73) Patentinhaber:

Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:

Hoffmann, Eitle & Partner Patent- und
Rechtsanwälte, 81925 München

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT

(72) Erfinder:

Usami, Kimiyoshi, Tama-ku Kawasaki-shi
Kanagawa-ken, JP

(54) Verzweigungsschaltung für einen Pipeline-Prozessor

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 38 55 629 T 2

14. Nov. 1996

EP 88 121 006.6-2201

48 374 q1/st

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

Die vorliegende Erfindung bezieht sich auf einen Pipeline-Schaltkreis, der für eine CPU oder einen Mikroprozessor in einem Computersystem verwendet werden kann. Insbesondere bezieht sich die vorliegende Erfindung auf einen Pipeline-Schaltkreis, welcher die effektive Verzweigungszieladresse einer bedingten Verzweigungsanweisung vor oder parallel zur Ausführung der bedingten Verzweigungsanweisung berechnet, gemäß einem Ergebnis der Ausführung einer Anweisung gerade vor der bedingten Verzweigungsanweisung beurteilt, ob eine Verzweigungsbedingung der bedingten Verzweigungsanweisung erfüllt wird oder nicht, und falls die Verzweigungsbedingung erfüllt ist, die bedingte Verzweigungsanweisung ausführt, während er eine Anweisung vorausliest und decodiert, die sich an der Verzweigungszieladresse befindet.

Beschreibung des Standes der Technik

Um die Verarbeitungsgeschwindigkeit eines Mikroprozessors oder einer CPU in einem Computersystem zu verbessern, wurden verschiedene Pipeline-Schaltkreise entwickelt.

Im allgemeinen zerlegt der Pipeline-Schaltkreis eine Reihe von Prozessen beginnend mit einer Anweisungsausleseoperation bis zu einer Anweisungsausführungsoperation in eine Vielzahl von Schritten und verarbeitet die Schritte in separaten Schaltkreisstufen, wo die Anweisung von der ersten Stufe zur letzten Stufe hin übertragen wird, während sie verarbeitet wird. Gemäß dem Pipeline-Schaltkreis werden Anweisungen nicht einzeln verarbeitet, sondern parallel zueinander in den jeweiligen Schaltkreisstufen.

Fig. 1 ist eine Ansicht, welche ein Beispiel eines Pipeline-Schaltkreises zeigt, der für eine CPU gemäß dem Stand der Technik Verwendung findet.

In der Figur umfaßt ein Pipeline-Schaltkreis 1 eine Anweisungsausleseeinheit (IFU) 2, eine Anweisungsdecodiereinheit (IDU) 3 und eine Anweisungsausführungseinheit (EXU) 4.

Die IFU 2 liest eine Anweisung aus einem Speicher 5, speichert dieselbe in einem Anweisungspuffer (nicht gezeigt) und liest eine Anweisung aus, die in dem Anweisungspuffer gespeichert ist, um dieselbe zur IDU 3 zu senden. Die IDU 3 decodiert die von der IFU 2 gelieferte Anweisung und sendet eine decodierte Anweisung an die EXU 4. Die EXU 4 führt die von der IDU 3 gesendete Information aus.

Fig. 2 zeigt die Prozesse, die in dem Pipeline-Schaltkreis 1 beim Behandeln einer Anweisung A1 ausgeführt werden, welche keine bedingte Verzweigungsanweisung ist, und einer bedingten Verzweigungsanweisung Bcc, welche der Anweisung A1 folgt.

Zum Zweck der Erläuterung wird angenommen, daß eine Anweisungsausleseoperation in der IFU 2 und eine Decodieroperation in der IDU 3 innerhalb eines Taktzyklus ausgeführt werden, und eine effektive Zieladresse der bedingten Verzweigungsanweisung Bcc in der EXU 4 berechnet wird.

Die Anweisung A1 wird in einem Taktzyklus T1 ausgelesen, in einem Taktzyklus T2 decodiert und in den Taktzyklen T3 bis T5 ausgeführt. Parallel zur Ausführung der Anweisung A1 wird die nächste bedingte Verzweigungsanweisung Bcc in dem Taktzyklus T2 an die IDU 3 geliefert, in dem Taktzyklus T3 decodiert und in den Taktzyklen T6 und T7 ausgeführt.

Die Ausführung der Anweisung Bcc schließt das Beurteilen (Prüfen eines Flag) ein, ob eine Verzweigungsbedingung der Anweisung Bcc erfüllt ist oder nicht, Berechnen einer Verzweigungszieladresse der Anweisung Bcc, falls die Verzweigungsbedingung erfüllt ist, usw.

Wenn die Verzweigungsbedingung erfüllt ist, wird eine sich an der Verzweigungszieladresse befindende Anweisung C1 in einem Taktzyklus T8 ausgelesen und in den Taktzyklen beginnend mit T9 decodiert und ausgeführt.

Wie oben beschrieben, werden, wenn eine bedingte Verzweigungsanweisung an den Pipeline-Schaltkreis geliefert wird, und falls eine Verzweigungsbedingung der Verzweigungsanweisung erfüllt ist, vorausgelesene Anweisungen fallengelassen, und es wird begonnen, eine Anweisung auszulesen, die sich an einer Verzweigungszieladresse befindet. Deshalb wartet die Ausführungsstufe des Pipeline-Schaltkreises auf den Abschluß der Auslesung und Decodierung

der Anweisung, die sich an der Verzweigungszieladresse befindet, so daß die Verarbeitungsgeschwindigkeit einer CPU, welche den Pipeline-Schaltkreis einschließt, verringert werden kann.

Um das Verzweigungsproblem in dem Pipeline-Schaltkreis zu lösen, wurden verschiedene Pipeline-Schaltkreise entwickelt. Jedoch ergaben sich andere Probleme beim Verbessern der Verarbeitungszeit einer bedingten Verzweigungsoperation, z.B. vergrößerte Hardware und komplizierte Steuerung.

US-A-3 881 173 offenbart einen Pipeline-Schaltkreis, welcher die effektive Verzweigungszieladresse einer bedingten Verzweigungsanweisung parallel zur Ausführung der bedingten Verzweigungsanweisung berechnet. Die Berechnung der Verzweigungszieladresse beginnt, wenn eine Verzweigungsanweisung decodiert worden ist. Einmal berechnet, wird die Adresse solange gehalten, wie nicht bestimmt ist, ob die Verzweigungsbedingung erfüllt ist. Wenn bestimmt wird, daß die Verzweigungsbedingung erfüllt ist, wird die Ausleseoperation der Verzweigungszielanweisung ausgeführt, anderenfalls wird die Auslesung nicht durchgeführt.

ZUSAMMENFASSUNG DER ERFINDUNG

Es ist eine Aufgabe der vorliegenden Erfindung, einen Pipeline-Schaltkreis bereitzustellen, welcher die Leistung einer CPU verbessern kann, ohne die Hardware drastisch zu vergrößern und die Steuerung zu verkomplizieren.

Um die Aufgabe zu lösen, stellt die vorliegende Erfindung, wie in Anspruch 1 dargelegt, einen Pipeline-Schaltkreis bereit, mit:

einer Anweisungsausleseseinheit zum Auslesen eines Anweisungscode von einem Speicher an einer Adresse, die von einem Programmzähler spezifiziert wird, und Speichern des Anweisungscode in einem Anweisungspuffer;

einer Anweisungsdecodiereinheit zum Decodieren eines Anweisungscode, der von der Anweisungsausleseseinheit geliefert wird, Senden einer Anforderung, eine effektive Adresse zu erzeugen, und Information bezüglich eines Adressiermodus an eine Effektivadressen-Erzeugungseinheit, Erfassen, falls die decodierte Anweisung eine bedingte Verzweigungsanweisung ist, den Wert eines Statusflags, das durch die Ausführung einer vorangehenden Anweisung fixiert ist, und, falls eine Verzweigungsbedingung der bedingten Verzweigungsanweisung erfüllt ist, Benachrichtigen der Effektivadressen-Erzeugungseinheit von der Tatsache, daß die Verzweigungsbedingung erfüllt worden ist;

einer Anweisungsausführungseinheit zum Ausführung einer decodierten Anweisung, die von der Anweisungsdecodiereinheit geliefert wird; und

der-Effektivadressen-Erzeugungseinheit zum Empfangen der Effektivadressen-Erzeugungsanforderung und der Information über den Adressiermodus von der Anweisungsdecodiereinheit, Lesen eines Versatzes (offset) aus dem Anweisungspuffer gemäß einer Anforderung von der Anweisungsdecodiereinheit oder von der Effektivadressen-Erzeugungseinheit, Berechnen einer effektiven Adresse gemäß dem Versatz, und Einstellen der effektiven Adresse in dem Programmzähler, wenn ein Signal von der Anweisungsdecodiereinheit anzeigt, daß die Verzweigungsbedingung erfüllt worden ist.

Wenn die Verzweigungsbedingung der bedingten Verzweigungsanweisung erfüllt ist, und nachdem eine sich an der Verzweigungszieladresse befindliche Anweisung vorausgelesen ist, werden die Anweisung an der Verzweigungszieladresse und eine ihr folgende Anweisung sukzessive an die Decodiereinheit nach der bedingten Verzweigungsanweisung geliefert.

Der Pipeline-Schaltkreis gemäß der vorliegenden Erfindung berechnet die effektive Verzweigungszieladresse einer bedingten Verzweigungsanweisung vor oder parallel zur Ausführung der bedingten Verzweigungsanweisung, beurteilt gemäß einem Ergebnis der Ausführung einer Anweisung gerade vor der bedingten Verzweigungsanweisung, ob eine Verzweigungsbedingung der bedingten Verzweigungsanweisung erfüllt ist oder nicht, und, falls die Verzweigungsbedingung erfüllt ist, liest eine Anweisung, die sich an der Verzweigungszieladresse befindet, vorab aus und decodiert sie parallel zur Ausführung der bedingten Verzweigungsanweisung.

Deshalb kann der Pipeline-Schaltkreis der vorliegenden Erfindung die Leistung einer CPU oder eines Mikroprozessors in einem Computersystem verbessern, ohne die Hardware drastisch zu vergrößern, und ohne ihre Steuerung zu verkomplizieren.

Diese und andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung ergeben sich deutlicher aus der folgenden detaillierten Beschreibung bevorzugter Ausführungsbeispiele im Zusammenhang mit den begleitenden Zeichnungen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

- Fig. 1 ist ein Blockdiagramm, welches einen Pipeline-Schaltkreis gemäß dem Stand der Technik zeigt;
- Fig. 2 ist ein Zeitdiagramm, welches Prozesse zeigt, die in dem Pipeline-Schaltkreis der Fig. 1 beim Behandeln einer Anweisung A1 ausgeführt werden, welche keine bedingte Verzweigungsanweisung ist, und einer bedingten Verzweigungsanweisung Bcc, die der Anweisung A1 folgt;
- Fig. 3 ist ein Blockdiagramm, welches einen Pipeline-Schaltkreis gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigt;
- Fig. 4 ist eine Ansicht, welche Formate von Anweisungen zeigt, die in dem Pipeline-Schaltkreis der Fig. 3 verarbeitet werden;
- Fig. 5 ist ein Zeitdiagramm, welches Prozesse zeigt, die in dem Pipeline-Schaltkreis der Fig. 3 beim Behandeln einer Anweisung A1 ausgeführt werden, welche keine bedingte Verzweigungsanweisung ist, und einer bedingten Verzweigungsanweisung Bcc, die der Anweisung A1 folgt;
- Fig. 6(A), 6(B) und 6(C) sind Ansichten, welche die Beziehung zwischen einer bedingten Verzweigungsanweisung, die aus einem Anweisungspuffer des Ausführungsbeispiels der Fig. 3 auszulesen ist, und einem Zeiger zeigt; und

Fig. 7 ist ein Blockdiagramm, welches einen Pipeline-Schaltkreis zeigt, der eine Modifikation des in Fig. 3 gezeigten Pipeline-Schaltkreises ist.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN

AUSFÜHRUNGSBEISPIELE

Fig. 3 ist eine Ansicht, welche einen Pipeline-Schaltkreis gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigt.

Ein Pipeline-Schaltkreis 6 umfaßt eine Anweisungsausleseeinheit (IFU) 7, eine Anweisungsdecodiereinheit (IDU) 8, eine Effektivadressen-Erzeugungseinheit (AGU) 9 und eine Ausführungseinheit (EXU) 10.

Die IFU 7 liest eine Anweisung aus einem Speicher 3 gemäß einer in einem Programmzähler PCI 12 eingestellten Adresse aus und speichert die Anweisung in einem Anweisungspuffer 11.

Die Adresse in dem PCI 12 wird für jede Anweisungsausleseoperation inkrementiert. Wie später detailliert beschrieben wird, wird eine Verzweigungszieladresse in dem PCI 12 eingestellt, um die Ausführung eines Programms zu verzweigen.

Wie in Fig. 4 gezeigt, umfaßt ein Anweisungscode dieses Ausführungsbeispiels einen Operationscode von 16 Bits einschließlich Information bezüglich eines Adressierungsmodus, und einen Versatz von 16 oder 32 Bits.

Wie in Fig. 6 gezeigt, hat der Anweisungspuffer 11 eine Kapazität von $16 \text{ Bit} \times N \text{ Worte}$ und wird Wort für Wort ausgelesen. Der Anweisungspuffer 11 hat einen Zeiger, welcher die Adresse eines als nächstes zurücklesenden Wortes anzeigt. Der Wert des Zeigers wird immer dann inkrementiert, wenn die Inhalte des Anweisungspuffers 11 ausgelesen werden.

Die IDU 8 decodiert einen Anweisungscode, der von der IFU 7 geliefert wird. Durch Decodieren eines Operationscodes der Anweisung wird ein Adressierungsmodus davon identifiziert, so daß die IDU 8 eine Effektivadressen-Erzeugungsanforderung für einen Operanden und Information bezüglich eines Adressierungsmodus an die AGU 9 liefern kann.

Falls es eine bedingte Verzweigungsanweisung ist, sendet die IDU 8 ähnlich den Fällen anderer Anweisungen eine Anforderung zum Erzeugen einer effektiven Verzweigungszieladresse und Information bezüglich eines Adressierungsmodus an die AGU 9.

Wenn es zusätzlich die bedingte Verzweigungsanweisung ist, wird eine Anweisung direkt vor der bedingten Verzweigungsanweisung ausgeführt, um ein Statusflag zu fixieren. Danach erfaßt die IDU 8 den Wert des Statusflag, um zu beurteilen, ob eine Verzweigungsbedingung der bedingten Verzweigungsanweisung erfüllt ist oder nicht. Falls die Verzweigungsbedingung erfüllt ist, benachrichtigt die IDU 8 die AGU 9 von der Tatsache, daß die Verzweigungsbedingung erfüllt worden ist.

Die AGU 9 bestimmt basierend auf der Information über einen Adressierungsmodus, die von der IDU 8 geliefert wird, einen Adressierungsmodus. Falls ein Versatz vorhanden ist, sendet

die AGU 9 eine Versatzsendeanforderung an die IFU 7, welche dann direkt den Versatz an die AGU 9 sendet.

Anstelle des Ausgebens der Versatzsendeanforderung von der AGU 9 an die IFU 7 kann sie von der IDU 8 an die IFU 7 ausgegeben werden, wie in Fig. 7 gezeigt ist.

Wenn der Versatz von der IFU 7 empfangen wird, berechnet die AGU 9 eine effektive Adresse gemäß dem Adressierungsmodus.

Wenn nach dem Berechnen der effektiven Adresse ein Signal von der IDU 8 anzeigt, daß die Verzweigungsbedingung erfüllt worden ist, setzt die AGU 9 die effektive Adresse in dem Programmzähler (PCI) 12 der IFU 7. Demgemäß wird die nächste Anweisung von der Verzweigungszieladresse vorausgelesen.

Die EXU 10 liest einen Operanden von einer effektiven Adresse aus, die von der AGU 9 erzeugt wird, oder schreibt einen Operanden in die effektive Adresse beim Ausführen einer Anweisung, die von der IDU 8 decodiert wird.

Fig. 5 zeigt den Betrieb des Pipeline-Schaltkreises 6. In der Figur empfängt der Pipeline-Schaltkreis 6 eine Anweisung A1, welche keine bedingte Verzweigungsanweisung ist, und eine bedingte Verzweigungsanweisung Bcc, welche der Anweisung A1 folgt.

Es wird angenommen, daß eine Anweisungsausleseoperation und eine Anweisungsdecodieroperation jeweils innerhalb eines Taktzyklus abgeschlossen werden.

Wie in Fig. 5 gezeigt, wird die Anweisung A1 von der IFU 7 ausgelesen und in dem Anweisungspuffer 11 in einem Taktzyklus

T1 gespeichert, in einem Taktzyklus T2 an die IDU 8 geliefert und dort decodiert, und in einem Taktzyklus T3 mittels der AGU 9 für ihre effektive Adresse berechnet. Zusätzlich wird in dem Taktzyklus T3 die Ausführung der Anweisung A1 von der EXU 10 begonnen und in einem Taktzyklus T5 beendet.

Die bedingte Verzweigungsanweisung Bcc wird in dem Taktzyklus T2 vorausgelesen, in dem Taktzyklus T3 decodiert und für ihre Verzweigungszieladresse in dem Taktzyklus T4 berechnet.

Selbst wenn die Berechnung der Verzweigungszieladresse in dem Taktzyklus T4 beendet ist, wird die Ausführung der Anweisung A1 bis zum Taktzyklus T5 fortgesetzt, so daß eine Verzweigungsbedingung der bedingten Verzweigungsanweisung Bcc in dem Taktzyklus T4 nicht beurteilt wird. Deshalb ist die AGU 9 in dem Taktzyklus T5 in einem Wartezustand und hält die Verzweigungszieladresse. In dem Taktzyklus T5 wird die Ausführung der Anweisung A1 abgeschlossen, um ein Statusflag zu fixieren. Dann beurteilt die IDU 8 gemäß dem Statusflag, ob die Verzweigungsbedingung der bedingten Verzweigungsanweisung Bcc erfüllt ist oder nicht.

Wenn die Verzweigungsbedingung erfüllt ist, wird die Verzweigungszieladresse von der AGU 9 in dem PCI 12 eingestellt. Deshalb wird in dem nächsten Taktzyklus T6 die Ausführung der Anweisung Bcc begonnen, während eine sich an der Verzweigungszieladresse befindende Anweisung C1 vorausgelesen wird und in dem Anweisungspuffer 11 gespeichert wird. Wenn die Anweisung C1 ausgelesen wird, ändert sich ein Zeiger des Anweisungspuffers 11, um die ausgelesene Anweisung C1 anzuzeigen. Deshalb wird in dem nächsten Taktzyklus T7 die Anweisung C1 an die IDU 8 geliefert und dort decodiert. Wenn die Ausführung der Anweisung Bcc in dem Taktzyklus T7 beendet

ist, wird begonnen, die Anweisung C1 auszuführen und (für) ihre effektive Adresse im Taktzyklus T8 zu berechnen.

Wenn die Verzweigungsbedingung der Anweisung Bcc nicht erfüllt ist, wird die Verzweigungszieladresse, die in der AGU 9 gehalten wird, nicht in dem PCI 12 eingestellt. Deshalb wird im Taktzyklus T6 die sich an der Verzweigungszieladresse befindende Anweisung C1 nicht ausgelesen, sondern die nächste Anweisung wird von einer laufenden Adresse in dem PCI 12 ausgelesen (in Fig. 5 eine Adresse nächst einer Adresse, von welcher eine Anweisung A5 ausgelesen worden ist) und in dem Anweisungspuffer 11 gespeichert. Ferner wird im Taktzyklus T6 eine der Anweisung Bcc nächste Anweisung A3 von dem Anweisungspuffer 11 an die IDU 8 geliefert, in welcher die Anweisung A3 decodiert wird.

Wenn die Anzahl von Ausführungszyklen eine Anweisung direkt vor einer bedingten Verzweigungsanweisung klein ist, kann eine Tatsache, daß eine Verzweigungsbedingung der bedingten Verzweigungsanweisung nicht erfüllt ist, gefunden werden, bevor die AGU 9 eine Verzweigungszieladresse berechnet. In diesem Fall wird die Berechnung der Verzweigungszieladresse bis zum Ende durchgeführt.

Nachdem die bedingte Verzweigungsanweisung Bcc decodiert ist, zeigt ein Zeiger des Anweisungspuffers 11 einen Versatz der Anweisung Bcc an, wie in Fig. 6(B) gezeigt ist. Deshalb kann der Versatz der Anweisung Bcc als die nächste Anweisung an die IDU 8 gesendet werden, um einen fehlerhaften Betrieb zu bewirken. Um mit diesem Problem fertig zu werden, wird der Versatz der Anweisung Bcc aus dem Anweisungspuffer 11 ausgelesen, so daß der Zeiger des Anweisungspuffers 11 eine

Anweisung nächst der Anweisung Bcc anzeigt, wie in Fig. 6(C) gezeigt ist.

Anstelle des Berechnens der Verzweigungszieladresse, um den Zeiger weiter zu stellen, ist es möglich, den Zeiger für die Anzahl von Worten des Versatzes der bedingten Verzweigungsanweisung weiterzustellen. Jedoch werden gemäß dieser Technik Steuerungen von einer zur anderen umgeschaltet, abhängig davon, ob eine Verzweigungsbedingung der bedingten Verzweigungsanweisung vor der Berechnung der Verzweigungszieladresse gefunden wird oder nicht. Deshalb ist die Steuerung des Anweisungspuffers 11 kompliziert.

Wie oben beschrieben, kann die vorliegende Erfindung die Leistung einer CPU verbessern, ohne die Hardware drastisch zu vergrößern und ohne die Steuerung zu verkomplizieren.

EP 88 121 006.6-2201

48 374 q1/st

P a t e n t a n s p r ü c h e

1. Informationsverarbeitungssystem zum Verarbeiten von Anweisungen gemäß einem Pipeline-Schaltkreis, mit:

- einer Anweisungsdecodiereinheit (8), die mit einer Ausleseseinheit (7) verbunden ist, um eine von der Ausleseseinheit (7) übertragene Anweisung zu decodieren;
- einer Ausführungseinheit (10), die mit der Decodiereinheit (8) verbunden ist, um die von der Decodiereinheit (8) decodierte Anweisung auszuführen, und
- einer Adressenerzeugungseinheit (9), die mit der Decodiereinheit (8) und der Ausleseseinheit (7) verbunden ist, um eine effektive Adresse der decodierten Anweisung als Reaktion auf eine Adressenberechnungsanforderung zu berechnen, die von der Decodiereinheit (8) übertragen wird;
- wobei die Ausleseseinheit (7) einen Programmzähler (12) zum Speichern einer Adresse einer von dem Speicher (3) auszulesenden Anweisung und einen Anweisungspuffer (11) zum Speichern einer ausgelesenen Anweisung einschließt;

- wobei die Adressenerzeugungseinheit (9) mit dem Anweisungspuffer (11) verbunden ist, um die effektive Adresse basierend auf einem Versatz zu berechnen, der von dem Anweisungspuffer (11) übertragen wird, wenn der Versatz für die Adressenberechnung verwendet wird;
- wobei die Adressenerzeugungseinheit (9) die Berechnung einer Verzweigungszieladresse beginnt, wenn eine bedingte Verzweigungsanweisung von der Decodiereinheit (8) decodiert worden ist;
- wobei die Verzweigungszieladresse von der Adressenerzeugungseinheit (9) gehalten wird, wenn es nicht bestimmt ist, ob die Verzweigungsbedingung erfüllt ist oder nicht, nachdem die Verzweigungszieladresse von der Adressenerzeugungseinheit (9) berechnet ist;
- wobei die Verzweigungszieladresse in dem Programmzähler (12) eingestellt wird, wenn bestimmt ist, daß die Verzweigungsbedingung erfüllt ist, so daß die Ausleseoperation der Verzweigungszielanweisung ausgeführt wird;
- wobei die Verzweigungszieladresse nicht in dem Programmzähler (12) eingestellt wird, wenn bestimmt ist, daß die Verzweigungsbedingung nicht erfüllt ist, so daß die Ausleseoperation der Verzweigungszielanweisung nicht ausgeführt wird;

dadurch gekennzeichnet, daß

- die Verzweigungszieladressenberechnung bis zum Ende fortgesetzt wird, wenn vor dem Abschluß der Berechnung der Verzweigungszieladresse bestimmt ist, daß die Verzweigungsbedingung nicht erfüllt ist.

2. Pipeline-Schaltkreis in einem Computersystem nach Anspruch 1, dadurch gekennzeichnet, daß eine Leseoperation von in dem Anweisungspuffer (11) gespeicherten Anweisungen von einem Zeiger gesteuert wird, welcher eine Position von als nächstes zu lesenden Daten anzeigt, und um ein Wort vorgerückt wird, wenn Daten aus dem Anweisungspuffer (11) gemäß einer Ausleseanforderung von der Anweisungsdecodiereinheit (8) oder von der Effektivadressen-Erzeugungseinheit (9) ausgelesen werden.
3. Pipeline-Schaltkreis in einem Computersystem nach Anspruch 1, dadurch gekennzeichnet, daß die Verzweigungszieladresse der bedingten Verzweigungszielanweisung berechnet wird, selbst wenn gefunden wird, bevor die Effektivadressen-Erzeugungseinheit (9) die effektive Verzweigungszieladresse der bedingten Verzweigungszielanweisung berechnet, daß die Verzweigungsbedingung der bedingten Verzweigungszielanweisung nicht erfüllt ist.
4. Informationsverarbeitungssystem nach Anspruch 1, dadurch gekennzeichnet, daß die Ausführungseinheit (10) mit der Adressenerzeugungseinheit (9) durch die Anweisungsdecodiereinheit (9) verbunden ist.

1/5

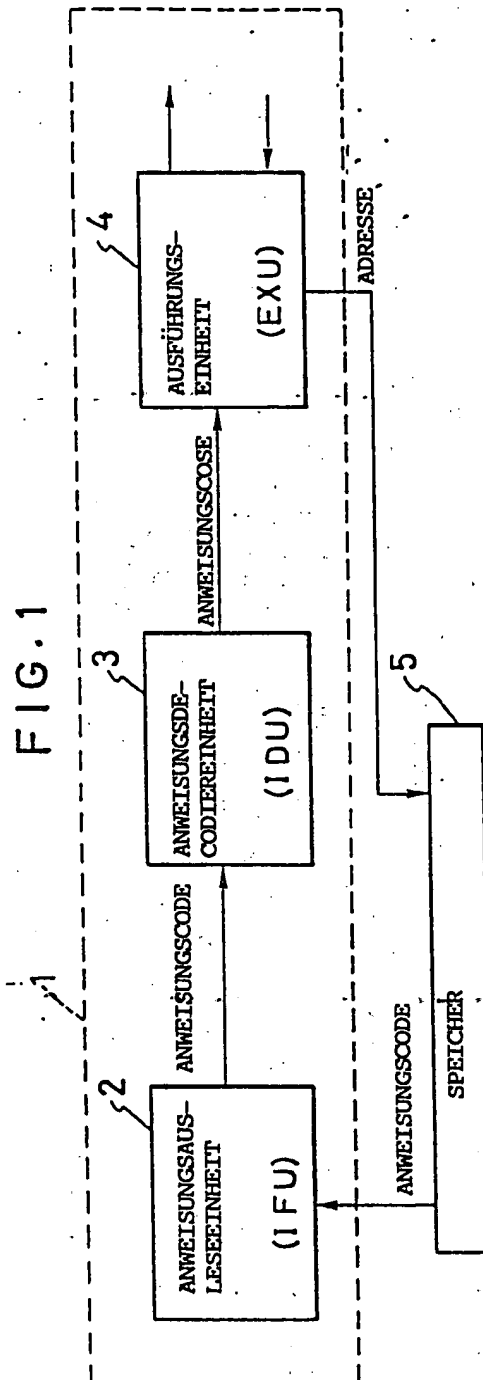


FIG. 2

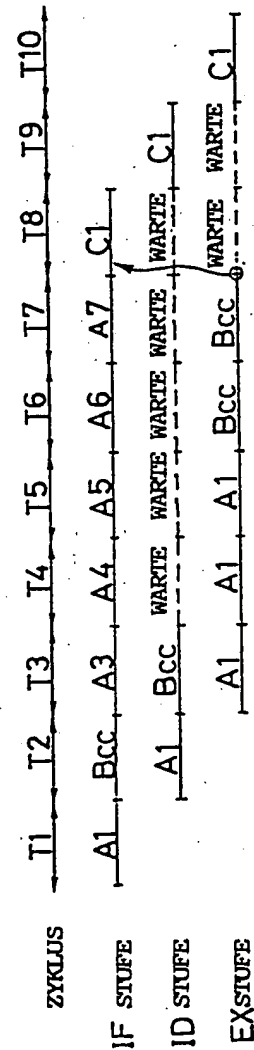


FIG. 3

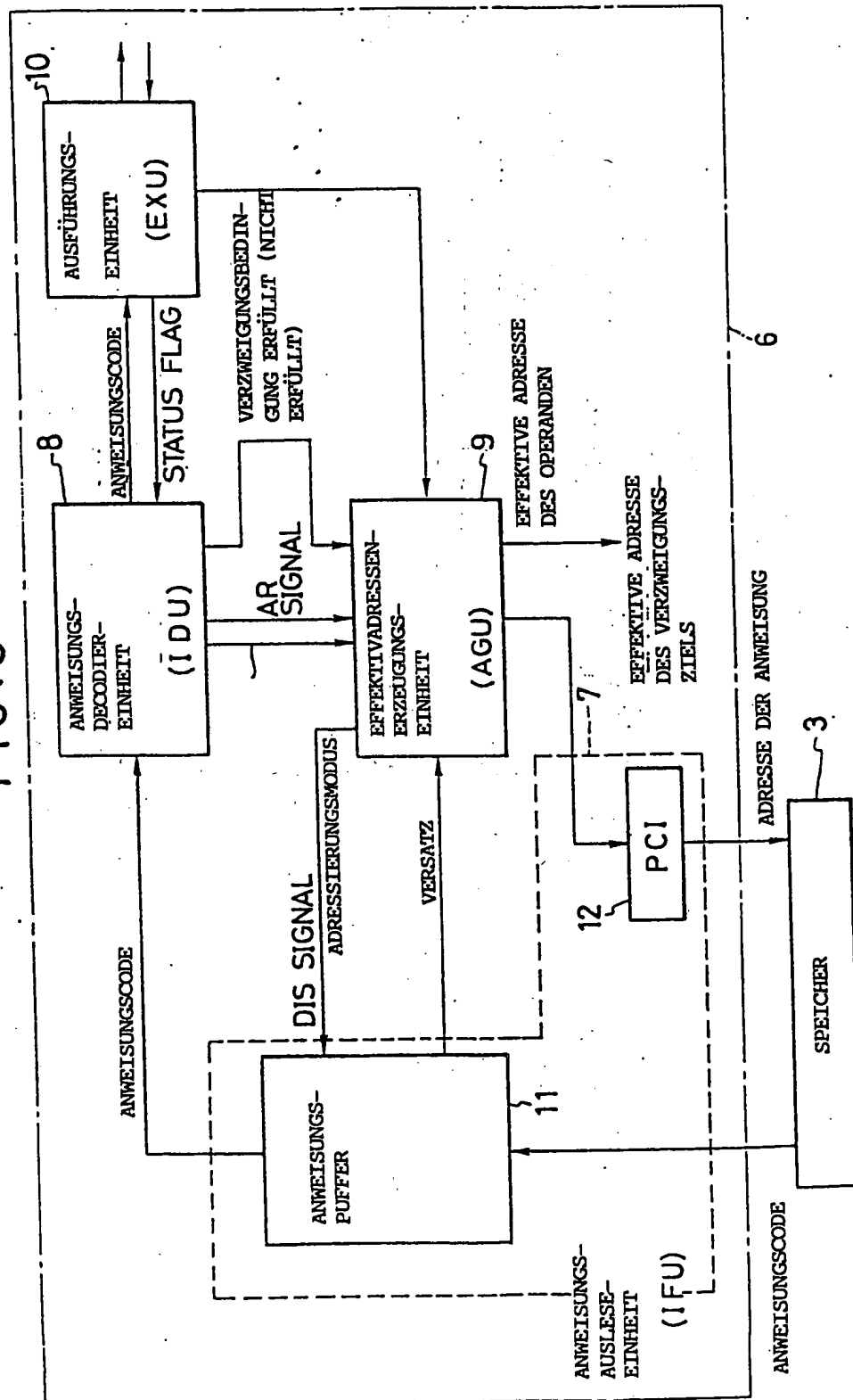


FIG. 4

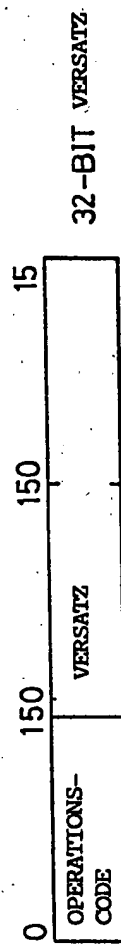
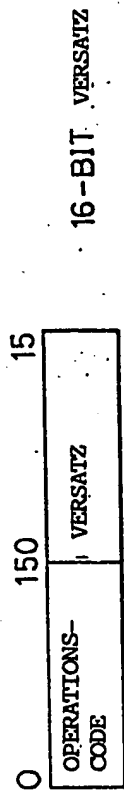


FIG. 5

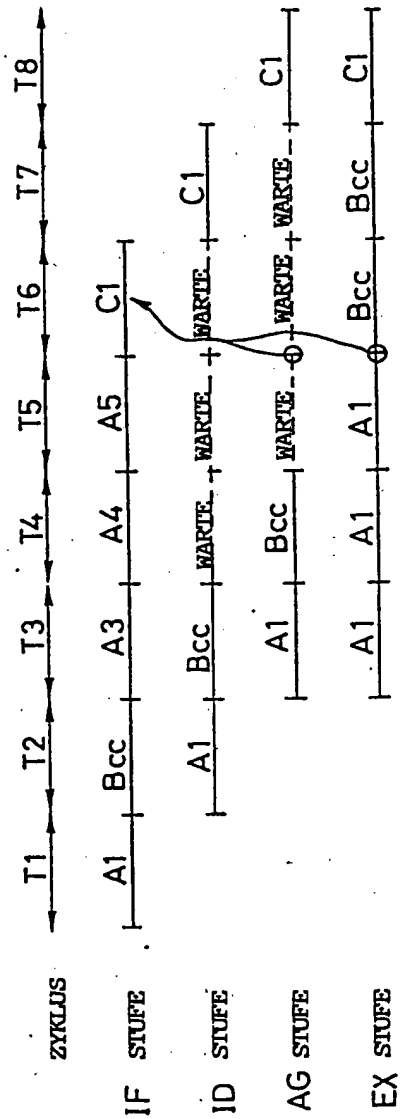


FIG. 6(A)

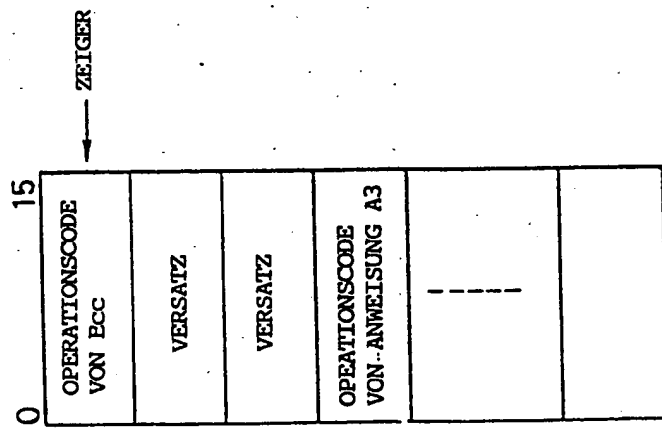


FIG. 6(B)

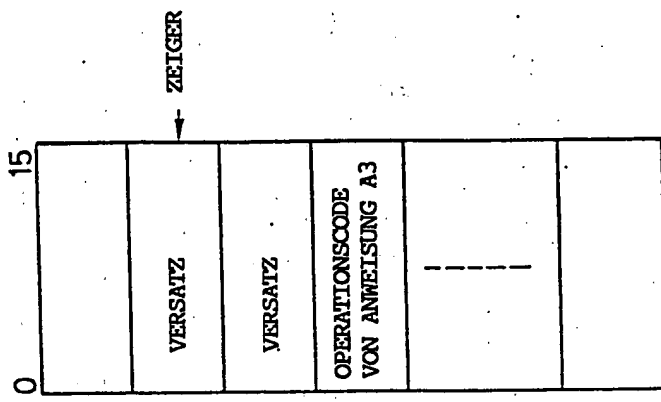


FIG. 6(C)

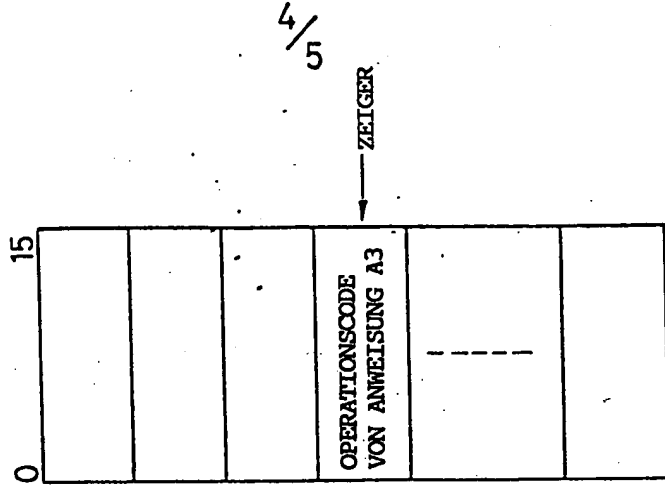


FIG. 7

